

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057273

(43)Date of publication of application : 22.02.2002

(51)Int.Cl. H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 25/10  
H01L 25/11

(21)Application number : 2000-238145

(71)Applicant : ORIENT SEMICONDUCTOR ELECTRONICS LTD

(22)Date of filing : 07.08.2000

(72)Inventor : HSIEN WEN-LO  
SO EISEI  
NING HUANG  
PIN CHEN HUI  
SHO KABUN  
MING CHANG CHUANG  
JO HOSHO  
YU HUANG FU  
JUI CHANG HSUAN  
CHIEH HU CHIA

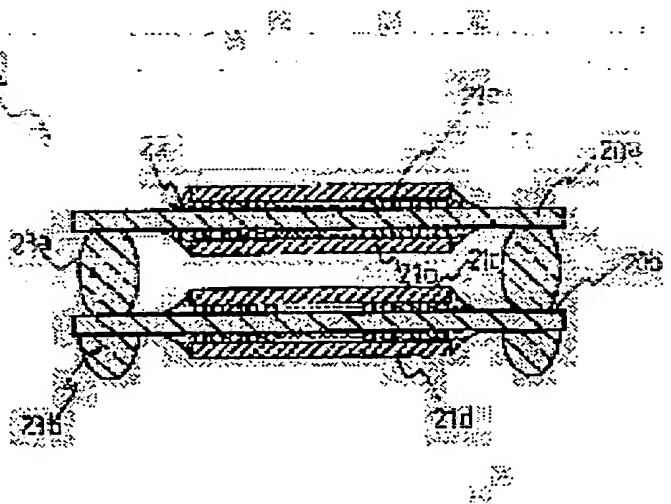
## (54) STACKED DIE SET FOR INTEGRATED CIRCUIT PACKAGE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a stacked die set for integrated circuit package in which consumption of material and the thickness can be reduced while shortening the production process.

SOLUTION: Chips 21a, 21c are attached to the surface of boards 20a, 20b and encapsulated 22 and then chips 21b, 21d are attached to the rear surface of the boards 20a, 20b and encapsulated to produce a stacked die set 2A.

The boards 20a, 20b having chips 21a, 21b, 21c and 21d on the surface and rear surface are then stacked and concatenated through protrusions 23a for concatenating carriers electrically thus forming a stacked die set. Since the surface and rear surface of the boards 20a, 20b can be processed simultaneously, production process can be shortened.



LEGAL STATUS

[Date of request for examination]

01.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

[Claim(s)]

[Claim 1] It is the pile die set for integrated circuit packages which it has much more substrate at least, and the integrated circuit chip of a couple is stuck on the transverse plane and rear face of said substrate at least, and is characterized by encapsulating the integrated circuit chip.

[Claim 2] Said substrate is a pile die set for integrated circuit packages according to claim 1 characterized by being put upon another substrate with which said integrated circuit chip was stuck in order, being connected mutually and packed by the projection.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the pile die set for integrated circuit packages.

[0002]

[Description of the Prior Art] It is the conventional 1 pile die set 1A, and being shown in drawing 1, sticks chip 11a on the transverse plane of substrate 10a (Die attach), and it fixes a chip with a capsulation (Encapsulate) process, with the still more nearly same process, sticks chip 11b on the transverse plane of substrate 10b, encapsulates it, it sticks chip 11c on the transverse plane of substrate 10c, and encapsulates it. After sticking chip 11d on the transverse plane of 10d of substrates and encapsulating it, 10d is formed in the condition of 1 set of four-sheet pile packages (package) from substrate 10a by projection projection (bump) substrate 10a and substrate 10b are connected [ projection ] 13a, and substrate 10b and substrate 10c are connected [ projection ] 13b, and projection 10d of substrates is connected [ projection / c / substrate 10 ] 13c. As other examples, as shown in drawing 2, pile die set 1B can stick, encapsulate and accumulate chip 11e on the rear face of substrate 10e.

[0003]

[Problem(s) to be Solved by the Invention] The object of this invention is to offer the pile die set for integrated circuit packages which can reduce a manufacture process, and can decrease in number consumption of a substrate ingredient, and can reduce the thickness of the whole pile package greatly.

[0004]

[Means for Solving the Problem] The pile die set for integrated circuit packages of this invention for attaining the above-mentioned object encapsulates by sticking an integrated circuit chip on the rear face of a substrate, after sticking and encapsulating an integrated circuit chip at the front of a substrate. Furthermore, when a transverse plane and a several layers rear face are accumulated and connect several substrates with which the integrated circuit chip was stuck by the projection which connects a carrier with the electrical and electric equipment, a pile die set is formed.

[0005] According to the technique of this this invention, the transverse plane and rear face of a substrate can be processed simultaneously, a manufacture process is reducible to the process "in which it encapsulates by sticking a chip on the transverse plane and rear face of one substrate, and -> projection is planted in a substrate" (if it is two or more substrates, the pile process of each substrate will be added further), and if it carries out like this, the transverse plane of the substrate of each class and a rear face can be used.

[0006]

[Embodiment of the Invention] Hereafter, the example of this invention is explained based on a drawing. Pile die set 2A of the substrate more than the bilayer by the 1st example of this invention is shown in drawing 4 , and pile die set 2B of the one-layer substrate by the 2nd example of this invention is shown in drawing 5 . two or more substrates 20a and 20b contain in pile die set 2A by the 1st example of this invention — having — the substrate 20a (substrate 20b) — at least — the transverse plane — it reaches, Chips 21a and 21b (chips 21c and 21d) are stuck on a rear face, and it is encapsulated by the capsule 22. Moreover, substrate 20a is connected and accumulated by substrate 20b and projection 23a which chip 21c was stuck on the transverse plane, and were encapsulated, and chip 21d was stuck on the rear face, and were encapsulated.

[0007] While the pile die set by the process of this example encapsulates by sticking a chip on the transverse plane of a substrate, it can be encapsulated by the ability sticking a chip on a rear face, and can reduce a manufacture process. In addition, as compared with the structure which accumulates the substrates 10a and 10b of a bilayer, packs the chips 11a and 11b of two sheets like conventional pile die set 1C shown, for example in drawing 3 , and it has, and connects projection 13a, and accumulates and carries out it Pile die set 2B by the 2nd example of this invention can pack the chips 21a and 21b of two sheets to one die set only by 20d of much more substrates, and can reduce a substrate and the ingredient of a projection substantially. Moreover, since it is reduced to the package of much more substrate from the pile package of the substrate of a bilayer (see drawing 5 ), the height of the whole pile package can be reduced substantially and many application opportunities are obtained.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing Example 1 of the conventional pile die set.

[Drawing 2] It is the sectional view showing Example 2 of the conventional pile die set.

[Drawing 3] It is the sectional view showing Example 3 of the conventional pile die set.

[Drawing 4] It is the sectional view showing the pile die set by the 1st example of this invention.

[Drawing 5] It is the sectional view showing the pile die set by the 2nd example of this invention.

[Description of Notations]

2A, 2B Pile die set

20a, 20b Substrate

21a, 21b, 21c, 21d Chip

22 Capsule

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57273

(P2002-57273A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L	25/065	H 0 1 L 25/08	Z
	25/07	25/14	Z
	25/18		
	25/10		
	25/11		

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願2000-238145(P2000-238145)

(22) 出願日 平成12年8月7日 (2000.8.7)

(71) 出願人 500275072

華泰電子股▲分▼有限公司

台湾高雄市楠梓加工出口区内環南路12-2号

(72) 発明者 謝 文樂

台湾高雄市鼓山区永徳街172号5楼

(72) 発明者 莊 永成

台湾高雄市三民区建武路76巷7弄1号5楼

(72) 発明者 黄 亨

台湾高雄県大社郷民生路143号3楼

(74) 代理人 100093779

弁理士 服部 雅紀

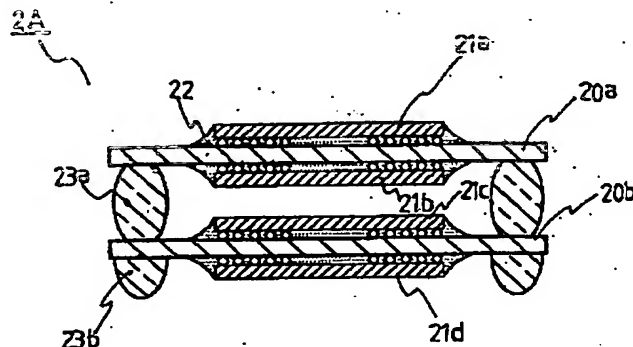
最終頁に続く

(54) 【発明の名称】 集積回路パッケージ用積み重ねダイセツト

(57) 【要約】

【課題】 製造過程を縮小し、材料の消耗を減少し、また厚みを低減することができる集積回路パッケージ用積み重ねダイセツトを提供する。

【解決手段】 積み重ねダイセツト2Aは、基板20a、20bの正面にチップ21a、21cを貼付けてカプセル22でカプセル化したあと、基板20a、20bの裏面にチップ21b、21dを貼付けてカプセル化を行う。さらに、電気によってキャリアを接続する突起23aによって、正面および裏面にチップ21a、21b、21c、21dが貼付けられた基板20a、20bを積み重ねて接続することにより、積み重ねダイセツトが形成される。基板20a、20bの正面と裏面とを同時に処理することができ、製造過程を縮小することができる。



(2)

## 【特許請求の範囲】

【請求項1】 少なくとも一層の基板を備え、前記基板の正面および裏面に少なくとも一対の集積回路チップが貼付けられ、その集積回路チップはカプセル化されていることを特徴とする集積回路パッケージ用積み重ねダイセット。

【請求項2】 前記基板は、前記集積回路チップが貼付けられた別の基板に順番に積み重ねられ、突起で互いに接続されパッケージされていることを特徴とする請求項1記載の集積回路パッケージ用積み重ねダイセット。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、集積回路パッケージ用積み重ねダイセットに関する。

## 【0002】

【従来の技術】図1に示すのは従来の一積み重ねダイセット1Aであり、チップ11aを基板10aの正面に貼付け（Die attach）、かつカプセル化（Encapsulate）過程をもってチップを固定し、さらに同じ過程をもってチップ11bを基板10bの正面に貼付けてカプセル化し、チップ11cを基板10cの正面に貼付けてカプセル化する。チップ11dを基板10dの正面に貼付けてカプセル化したあと、基板10aと基板10bとを接続する突起（bump）13a、基板10bと基板10cとを接続する突起13b、ならびに基板10cと基板10dとを接続する突起13cによって基板10aから10dを4枚1組の積み重ねパッケージ（package）の状態に形成する。この他の例として、図2に示すように、積み重ねダイセット1Bは、チップ11eを基板10eの裏面に貼付け、カプセル化して積み重ねることができる。

## 【0003】

【発明が解決しようとする課題】本発明の目的は、製造過程を縮小し、基板材料の消費を減少することができ、また積み重ね包装全体の厚みを大きく低減することができる、集積回路パッケージ用積み重ねダイセットを提供することにある。

## 【0004】

【課題を解決するための手段】上述の目的を達成するための本発明の集積回路パッケージ用積み重ねダイセットは、基板の正面に集積回路チップを貼付けてカプセル化したあと、基板の裏面に集積回路チップを貼付けてカプセル化を行う。さらに、電気によってキャリアを接続する突起によって、正面および裏面ともに集積回路チップが貼付けられた数枚の基板を数層積み重ねて接続することにより、積み重ねダイセットが形成される。

【0005】この本発明の技術によれば、基板の正面と裏面とを同時に処理することができ、製造過程は「一枚の基板の正面および裏面にチップを貼付けてカプセル化

を行い→突起を基板に植付ける」過程に縮小することができ（複数枚の基板であれば、さらに各基板の積み重ね過程を加える）、こうすれば各層の基板の正面、裏面ともに利用することができる。

## 【0006】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図4に本発明の第1実施例による二層以上の基板の積み重ねダイセット2Aを示し、図5に本発明の第2実施例による一層基板の積み重ねダイセット2Bを示す。本発明の第1実施例による積み重ねダイセット2Aには複数枚の基板20aおよび20bが含まれ、その基板20a（基板20b）は少なくともその正面および裏面にチップ21a、21b（チップ21c、21d）が貼付けられてカプセル22でカプセル化されている。また基板20aは、正面にチップ21cが貼付けられてカプセル化され、かつ裏面にチップ21dが貼付けられてカプセル化された基板20bと突起23aによって接続し、積み重ねられる。

【0007】本実施例の過程による積み重ねダイセットは、基板の正面にチップを貼付けてカプセル化を行うと同時に、裏面にチップを貼付けてカプセル化を行い、製造過程を縮小することができる。なお、例えば図3に示す従来の積み重ねダイセット1Cのように、二層の基板10a、10bを積み重ねて二枚のチップ11a、11bをパッケージし、ならびに突起13aをもって接続、積み重ねる構造と比較すると、本発明の第2実施例による積み重ねダイセット2Bは、一層の基板20dだけで二枚のチップ21a、21bを一つのダイセットにパッケージし、基板および突起の材料を大幅に節減することができる。また、二層の基板の積み重ねパッケージから一層の基板のパッケージに縮小されるので（図5を参照）、積み重ねパッケージ全体の高さを大幅に低減することができ、多くの応用機会が得られる。

## 【図面の簡単な説明】

【図1】従来の積み重ねダイセットの例1を示す断面図である。

【図2】従来の積み重ねダイセットの例2を示す断面図である。

【図3】従来の積み重ねダイセットの例3を示す断面図である。

【図4】本発明の第1実施例による積み重ねダイセットを示す断面図である。

【図5】本発明の第2実施例による積み重ねダイセットを示す断面図である。

## 【符号の説明】

2A、2B 積み重ねダイセット

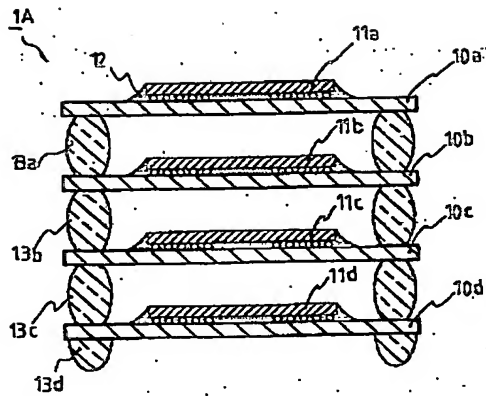
20a、20b 基板

21a、21b、21c、21d チップ

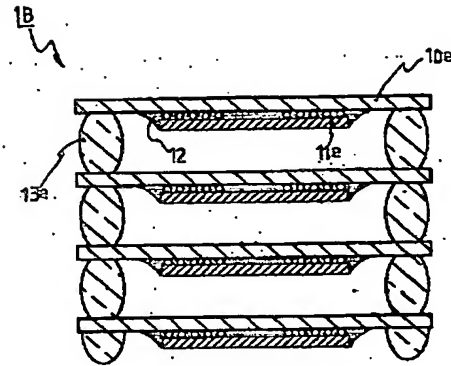
22 カプセル

(3)

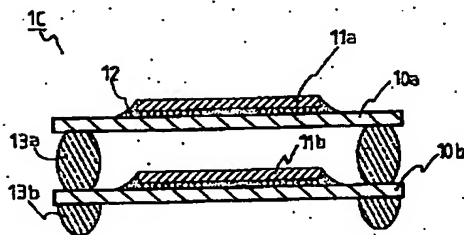
【図1】



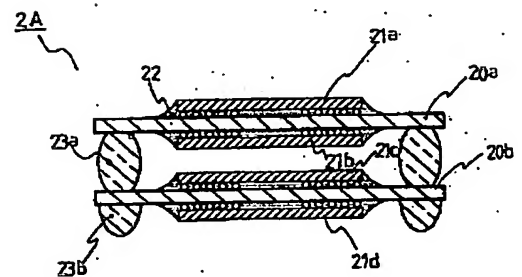
【図2】



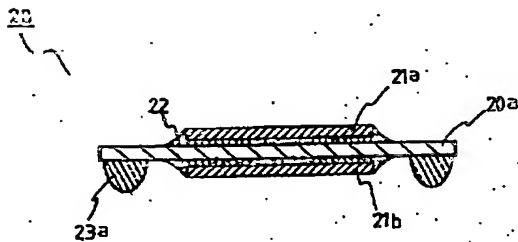
【図3】



【図4】



【図5】



フロントページの続き

- (72)発明者 陳 慧萍  
台湾高雄県鳳山市海洋二路58号
- (72)発明者 ▲將▼ 華文  
台湾高雄市三民区昌富街57号3楼之2
- (72)発明者 張 衷銘  
台湾嘉義県布袋鎮見龍里109号

- (72)発明者 ▲徐▼ 豐昌  
台湾高雄県鳥松郷中正路367之9号
- (72)発明者 黃 富裕  
台湾高雄市新興区光耀里22鄰渤海街29号
- (72)発明者 張 軒睿  
台湾高雄市前鎮区中山二路55巷35号

(4)

(72)発明者 胡 嘉傑

台湾高雄市楠梓区後昌路546巷11弄12号之

5



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**